مختصر توصيف المواد

• اسم المادة: التصميم المنطقي ببرمجة VHDL	• رقم المادة: 0405557
• الكلية: الهندسة	• عدد الساعات المعتمدة: 3 ساعات
• القسم: هندسة الحاسوب	• المتطلب السابق (إن وجد): تصميم أنظمة رقمية

وصف المقرر	Courses Description
الهدف الرئيسي من هذه المادة هو تعليم الطلاب كيفية تصميم الأنظمة الرقمية باستخدام لغات وصف الأجهزة (HDL). وتوفر هذه المادة منهجيات التصميم التي تقسم الانظمة إلى مسار بيانات ووحدة تحكم، وتركز على كود RTL- VHDL القابل للتوليف لتصميم الدوائر الرقمية باستخدام أنماط التشفير والأنماط الهيكلية والسلوكية.	The primary objective of this course is to teach students how to design digital systems using hardware description languages (HDL). The course provides design methodologies which partition a system into a data-path and controller and focuses on synthesizable RTL VHDL code for digital circuit design using dataflow, structural, and behavioral coding styles. The course introduces VHDL simulation and verification, and FPGA synthesis, placement, routing, timing analysis and performance optimization. The material covered in the lecture is reinforced through practical experience in the associated lab, including an emphasis on the use of VHDL to synthesize logic circuits.